

## ⑫ 公開特許公報(A) 平4-192173

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月10日

G 11 C 11/22

8522-5L

審査請求 未請求 請求項の数 11 (全7頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 平2-320830

⑯ 出 願 平2(1990)11月27日

⑰ 発 明 者 小 野 瀬 秀 勝 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑰ 発 明 者 齊 藤 隆 一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑰ 発 明 者 小 林 裕 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑰ 発 明 者 大 上 三 千 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑰ 代 理 人 弁理士 平木 道人

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) ウェル表面に1組のソース/ドレインを有し、  
強誘電体をゲート絶縁膜とする電界効果型トラン  
ジスタを行列状に配置してなる半導体記憶装置に  
おいて、

各行のトランジスタのゲート電極を共通接続す  
るワードライン群と、

各行のトランジスタのソース/ドレインの一方  
を共通接続するビットライン群と、

各列のトランジスタのソース/ドレインの他方  
を共通接続すると共に、各トランジスタにウェル  
電位を供給するプレートライン群とを具備したこ  
とを特徴とする半導体記憶装置。

(2) 1本のワードラインのみを選択的に第1の電  
位とし、他のワードラインをフローティング状態  
にするワードライン選択手段と、

1本のプレートラインのみを選択的に第2の電

位とし、他のプレートラインをフローティング状  
態にするプレートライン選択手段と、

ワードライン選択手段およびビットライン選択  
手段の選択に応答した1本のビットライン電位を  
検出する電位検出手段とを具備し、

読み出し時には、前記第1および第2の電位を  
同電位とすることを特徴とする特許請求の範囲第  
1項記載の半導体記憶装置。

(3) 前記電位検出手段は、前記第1および第2の  
電位のほぼ1/2の基準電位が入力されるセンス  
アンプであり、該センスアンプは、基準電位とビ  
ットライン電位とを比較して、比較結果を出力す  
ることを特徴とする特許請求の範囲第2項記載の  
半導体記憶装置。

(4) 書き込み時には、前記第1および第2の電位  
の電位差を予定の電位以上とすることを特徴とす  
る特許請求の範囲第2項または第3項記載の半導  
体記憶装置。

(5) ウェル表面に1組のソース/ドレインを有し、  
強誘電体をゲート絶縁膜とする電界効果型トラン

ジスタを行列状に配置してなる半導体記憶装置において、

前記各電界効果型トランジスタと同一列上で対をなし、該電界効果型トランジスタと相補的なデータが記憶される、強誘電体をゲート絶縁膜とするダミー電界効果型トランジスタと、

各行のトランジスタのゲート電極を共通接続するワードライン群と、

各行のダミートランジスタのゲート電極を共通接続するダミーワードライン群と、

各行のトランジスタのソース/ドレインの一方を共通接続するビットライン群と、

各行のダミートランジスタのソース/ドレインの一方を共通接続するダミービットライン群と、

各列のトランジスタのソース/ドレインの他方およびダミートランジスタのソース/ドレインの他方を共通接続すると共に、各トランジスタおよびダミートランジスタにウェル電位を供給するプレートライン群とを具備したことを特徴とする半導体記憶装置。

る特許請求の範囲第6項または第7項記載の半導体記憶装置。

(9) 前記ゲート絶縁膜を構成する強誘電体は  $Pb(Zr, Ti)O_3$  であることを特徴とする特許請求の範囲第1項ないし第8項のいずれかに記載の半導体記憶装置。

(10) 前記  $Pb(Zr, Ti)O_3$  強誘電体における  $Zr$  の組成比は0.5以下であることを特徴とする特許請求の範囲第9項記載の半導体記憶装置。

(11) 前記ゲート絶縁膜を構成する強誘電体の厚みは、 $0.5\mu m$ 以下であることを特徴とする特許請求の範囲第1項ないし第10項のいずれかに記載の半導体記憶装置。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は半導体記憶装置に係り、特に、強誘電体をゲート絶縁膜に用いた電界効果型トランジスタを、メモリセルとして用いた半導体記憶装置に関する。

#### (従来技術)

(6) 対をなす1組のワードラインおよびダミーワードラインを選択的に第1の電位とし、他のワードラインおよびダミーワードラインをフコーティング状態にするワードライン選択手段と、

1本のプレートラインのみを選択的に第2の電位とし、他のプレートラインをフコーティング状態にするプレートライン選択手段と、

ワードライン選択手段およびビットライン選択手段の選択に応答した、対をなす1組のビットラインおよびダミービットラインの電位を検出する電位検出手段とを具備し、

読み出し時には、前記第1および第2の電位を同電位とすることを特徴とする特許請求の範囲第5項記載の半導体記憶装置。

(7) 前記電位検出手段は、ビットライン電位とダミービットライン電位とを比較して、比較結果を出力することを特徴とする特許請求の範囲第6項記載の半導体記憶装置。

(8) 書き込み時には、前記第1および第2の電位の電位差を予定の電位以上とすることを特徴とする

従来から、大容量の半導体記憶装置としてダイナミック型ランダムアクセスメモリ(以下、DRAMと略する)が知られている。DRAMでは1個のトランジスタと1個の容量素子のみで1ビットのメモリセルが構成されるために高集積化、大容量化が可能である。

また、他の半導体記憶装置と同様に、機械的な可動部が無いため、磁気記憶装置や光ディスク装置などの可動部を有する記憶媒体に比べて動作速度が速いという利点を有している。

DRAMをさらに大容量化し、ビットコストを低減するためには、素子の加工寸法を微細化してメモリセルの占める面積を縮小することが有効である。しかし、そのためには高度な製造装置と製造技術が必要とされるので、加工寸法の微細化にともなって開発コストや製造コストが増大し、歩留低下などの新たな問題を引き起こしてしまう。

また、DRAMは揮発性であるために電力を取り除くと記憶情報が失われてしまう。したがって、記憶保持のためには電力を常に供給しておかなければ

ればならず、使用範囲が限定されてしまうという問題があった。

これらの問題を解決するために、米国特許第3832700号明細書、特開昭51-274号公報、特開昭51-21790号公報などでは、第7図に示したような、ゲート絶縁膜に強誘電体を用い、ゲート絶縁膜の電気分極作用によって情報を蓄積することの可能な強誘電体ゲートFET（以下、MF S F E T）をメモリセルとして用いることが提案されている。

第7図において、P基板10内のPウェル表面には $n^+$ ソース/ドレイン13、14が形成され、チャンネル領域上には強誘電体膜11を介してゲート電極12が形成されている。

第8図は、強誘電体膜11の分極Pと印加電界Eとの関係を示した図であり、強誘電体がこのようなヒステリシス特性を有することは周知である。

すなわち、正方向に印加電界を増大していくと分極が増大し、やがて電界Bで飽和する。その後、印加電界を弱めて零としても分極は零にはならず、

ても残留電気分極P(0)によってチャンネル領域に電子90が集中する。

その結果、当該FETは、ゲート電圧が印加されていない状態でもソース/ドレイン13、14が電気的に接続されて電流が流れるデブリーション型のFETとして機能する。

一方、同図(b)に示したように、基板からゲート電極へ向かう方向に電界E2を一度設定すると、以後は基板およびゲート電極を接地電位としても残留電気分極P(1)によってチャンネルに正孔91が集中する。

その結果、当該FETは、ゲート電圧が印加されていない状態ではソース/ドレイン13、14が電気的に絶縁されて電流が流れないエンハンス型のFETとして機能する。

第10図は、MF S F E Tがデブリーション型として機能した場合およびエンハンス型として機能した場合のソース・ドレイン電流 $I_d$ とゲート電圧 $V_g$ との関係を示した図である。

以上のような特性を利用して、データの書き込

残留電気分極P(0)を有する。

次いで、逆方向に印加電界を増大していくと、保持電界Cの値に達したときに分極が零になり、さらに印加電界を増大していくと、電界Dで逆方向の分極が飽和する。その後、逆方向の印加電界を弱めて零としても分極は零にはならず、残留電気分極P(1)を有する。次いで、正方向に印加電界を増大していくと、保持電界Aの値に達したときに分極が零になる。

したがって、強誘電体膜をゲート絶縁膜とするMF S F E Tに対するデータの書き込みは、強誘電体の残留電気分極を所定の向きに設定することによって可能になる。

第9図はMF S F E Tの動作を説明するための図であり、MF S F E Tを構成する前記ゲート電極12、強誘電体膜11、および基板10のエネルギー帯を模式的に表している。

同図(a)に示したように、ゲート電極12から基板10へ向かう方向に電界E1を一度印加すると、以後は基板およびゲート電極を接地電位とし

みは、ゲート電極12と基板10との間に所定の向きの電圧を印加して残留電気分極の向きを設定することにより、その機能をデブリーション型またはエンハンス型にすることによって行われ、データの読み出しは、ソース/ドレイン13、14間の導通、非導通によって判定することができる。（発明が解決しようとする課題）

上記した従来技術では、MF S F E T単体の動作について論じられるだけで、当該MF S F E Tを集積化して記憶装置を構成する際の、各MF S F E T間の接続方法や、データの読み出し、書き込み方法が具体化されておらず、MF S F E Tを用いた半導体記憶装置の具体的な構成が提案されていなかった。

本発明の目的は、MF S F E Tを用いた半導体記憶装置の具体的な構成を提供することにある。（課題を解決するための手段）

上記した目的を達成するために、本発明では、MF S F E Tを行列状に配置してなる半導体記憶装置において、各行のMF S F E Tのゲート電

極を共通接続するワードライン群と、各行のMFSFETのソース/ドレインの一方を共通接続するビットライン群と、各列のMFSFETのソース/ドレインの他方を共通接続すると共に各MFSFETにウェル電位を供給するプレートライン群とを具備し、

読み出し時には、読み出し対象のMFSFETに接続されたワードラインおよびプレートラインを“H”レベルとし、そのときのビットラインの電位を検出するようにした。

書き込み時には、書き込みデータに応じてワードラインおよびプレートラインの一方を“H”レベル、他方を“L”レベルとするようにした。

(作用)

例えばデータとして“1”を書き込む場合には、ワードラインを“H”レベル、プレートラインを“L”レベルとする。この結果、前記した残留電気分極P(0)が生じ、MFSFETはゲート電圧が0Vでも導通状態となるデプリーション型のトランジスタとして機能するようになる。

列状に多数配置した場合の各セル間の接続方法を示した回路図である。

第1図において、MFSFET1のゲート電極12はワードライン(以下、WLと略する)に接続されている。一方のソース/ドレイン13はプレートライン(以下、PLと略する)に接続され、他方のソース/ドレイン14はビットライン(以下、BLと略する)に接続されている。MFSFET1の基板電位(ウェル電位)はPLの電位と同電位となっている。

また、第2図においてWL1、WL2、…、WL<sub>n</sub>の一端はWLデコーダ・ドライバ21に接続され、PL1、PL2、…、PL<sub>m</sub>の一端はPLデコーダ・ドライバ22に接続され、BL1、BL2、…、BL<sub>n</sub>の一端は、センスアンプ(以下、SAと略する)23a、23b、…に接続されている。

SAは、プリチャージされている2種類の入力信号を比較し、レベルの低い信号はより低く、レベルの高い信号はより高くなるように増幅して出

また、データとして“0”を書き込む場合には、ワードラインを“L”レベル、プレートラインを“H”レベルとする。この結果、前記した残留電気分極P(1)が生じ、MFSFETはゲート電圧が0Vでは導通状態とならないエンハンス型のトランジスタとして機能するようになる。

一方、書き込まれた情報を読み出す場合に、ワードラインおよびプレートラインを“H”レベルにすると、データとして“1”が書き込まれている場合にはMFSFETがデプリーション型のトランジスタとして機能するので、ビットラインの電位は“H”レベルとなる。

また、データとして“0”が書き込まれているとMFSFETはエンハンス型のトランジスタとして機能するので、ビットラインの電位は“L”レベルとなる。

(実施例)

以下、図面を参照して本発明を詳細に説明する。

第1図は本発明の記憶装置の1セルの構成を示した回路図、第2図は第1図の記憶セルをn行m

力する。したがって、基準信号と検出信号とをSAに入力すれば、検出信号が基準信号との大小関係に応じて2値化されるので、検出信号の大小判定が容易に行えるようになる。

第3図は当該記憶装置の読み出し動作のタイミングチャートである。

例えば、第2図のMFSFET1Aの記憶情報を読み出す場合、初めにBL1の電位を0Vとし、次いでSA23aに接続された基準ラインRL1の基準電位をV<sub>cc</sub>(電源電位)/2にプリチャージする。

次いで、MFSFET1Aの導通状態を判定するためにPL1の電位をV<sub>cc</sub>とするが、このとき、MFSFET1Aのゲートと基板との電位差によってデータが書き替えられてしまわないように、WL1の電位もV<sub>cc</sub>としてゲートと基板との電位差をなくする。

また、PL1およびWL1以外のPL2～PL<sub>m</sub>およびWL2～WL<sub>n</sub>はフローティング状態とする。

この結果、MFSFET1Aに“1”が記憶されている、すなわちMFSFET1Aがデブリーション型として機能していると、BL1の電位が実線で示したように徐々に上昇し、やがて基準電位 $V_{cc}/2$ よりも高くなるので、ここでSA23aをオン状態にすると、BL1の電位が5V、RL1の電位が実線で示したように0Vとなる。

一方、MFSFET1Aに“0”が記憶されている、すなわちMFSFET1Aがエンハンス型として機能していると、BL1の電位は点線で示したように0Vのままであり、SA23bをオン状態にすると、BL1の電位が0V、RLの電位が点線で示したように5Vとなる。

したがって、これらの電位を適宜の手段で検出することにより読み出し動作が可能になる。

第4図は当該記憶装置の書き込み動作のタイミングチャートである。

MFSFET1Aに“1”を書き込む場合、すなわち、MFSFET1Aをデブリーション型と

して機能させようとする場合、同図(a)に示したように、PL1の電位を0Vとした状態でWL1の電位を $V_{cc}$ とする。また、PL1およびWL1以外のPLおよびWLはフローティング状態とする。

同様に、MFSFET1Aに“0”を書き込む場合、すなわち、MFSFET1Aをエンハンス型として機能させようとする場合、同図(b)に示したように、WL1の電位を0Vとした状態でPL1の電位を $V_{cc}$ とする。また、PL1およびWL1以外のPLおよびWLはフローティング状態とする。

ところで、本実施例では、強誘電体膜としてPb(Zr, Ti)O<sub>3</sub>を用い、膜厚を0.2 $\mu$ mとした。なお、Pb(Zr, Ti)O<sub>3</sub>におけるZrの組成比は0.5以下であることが望ましい。このような構成によれば、ゲート電極と基板間に5Vの電圧を印加すると電界は250KV/cmになり、書き替え電圧として十分な値となる。また、書き替え時間は1 $\mu$ sである。

WLはフローティング状態とする。

この結果、MFSFET1Aに“1”が記憶されていると、BL1の電位が実線で示したように上昇するが、この場合、ダミーセルMFSFET1aには“0”が記憶されているので、BL1dの電位は0Vのままである。ここでSA23をオン状態にすると、BL1の電位が5Vに上昇し、BL1dの電位は0Vのままとなる。

一方、MFSFET1Aに“0”が記憶されていると、BL1の電位は点線で示したように0Vのままであるが、この場合、ダミーセルMFSFET1aには“1”が記憶されているので、BL1dの電位は点線で示したように徐々に上昇する。ここでSA23をオン状態にすると、BL1dの電位が5Vに上昇し、BL1の電位は0Vのままとなる。

したがって、前記同様、これらの電位を適宜の手段で検出することにより読み出し動作が可能になる。

本実施例によれば、基準電位をダミーセルから

また、本実施例では、SAに入力される基準信号の電位を $V_{cc}/2$ としたので、BL1の電位が“H”レベルあるいは“L”レベルのいずれであっても、信号の比較が確実に行えるようになる。

第5図は本発明の他の実施例の回路図であり、本実施例では、SA2<sup>3</sup>に入力される基準電位をダミーセルから供給するようにした点に特徴がある。

同図において、MFSFET1aはMFSFET1Aと同一列上で対をなすダミーセル、MFSFET1bはMFSFET1Bと同一列上で対をなすダミーセルであり、MFSFET1a、1bには、それぞれMFSFET1A、1Bの相補的なデータが記憶される。

このような構成において、MFSFET1Aの記憶情報を読み出す場合、第6図に示したように、初めにBL1、BL1dの電位を共に0Vとし、次いでWL1、WL1dおよびPL1の電位を $V_{cc}$ とする。

また、PL1およびWL1以外のPLおよび

供給するようにしたので、基準電位を別に入力する場合に比べて誤動作の発生確率が減少し、信頼性が向上する。

(発明の効果)

以上の説明から明らかなように、本発明によれば、不揮発性で、非破壊的なデータの書き替えが可能な半導体記憶装置を提供できるようになる。

#### 4. 図面の簡単な説明

第1図は本発明の記憶装置の1セルの構成を示した回路図、第2図は各セル間の接続方法を示した回路図、第3図は読み出し動作のタイミングチャート、第4図は書き込み動作のタイミングチャート、第5図は本発明の他の実施例の回路図、第6図は他の実施例の読み出し動作のタイミングチャート、第7図はMFSFETの断面図、第8図は強誘電体の機能を説明するための図、第9図はMFSFETの動作を説明するための図、第10図はMFSFETのソース・ドレイン電流とゲート電圧 $V_g$ との関係を示した図である。

10…P基板、11…強誘電体膜、12…ゲ-

ト電極、13、14…ソース/ドレイン、21…WLデコーダ・ドライバ、22…PLデコーダ・ドライバ、23…センスアンプ

代理人弁理士 平木通人

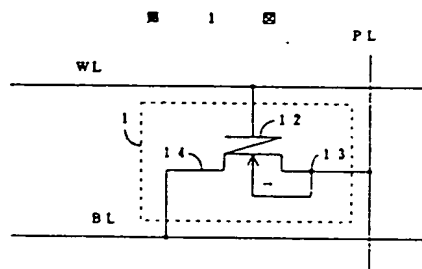


図 1

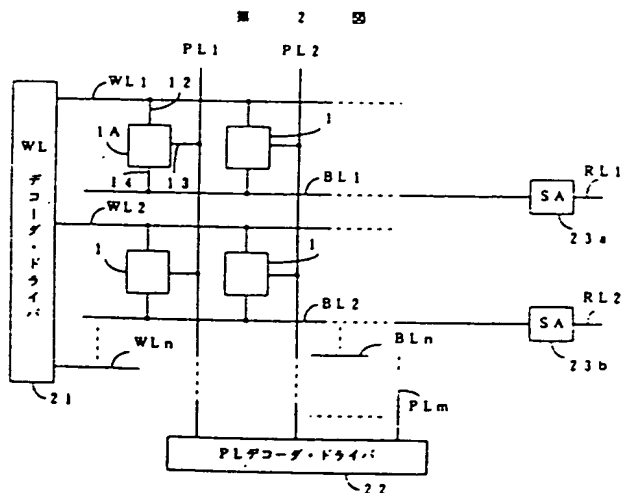


図 2

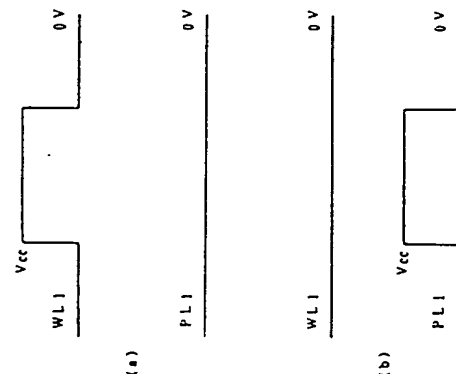
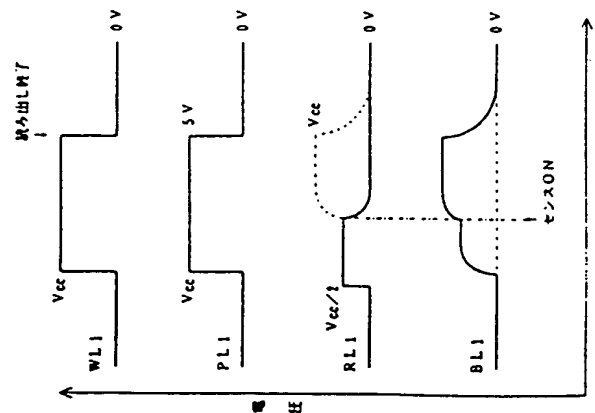
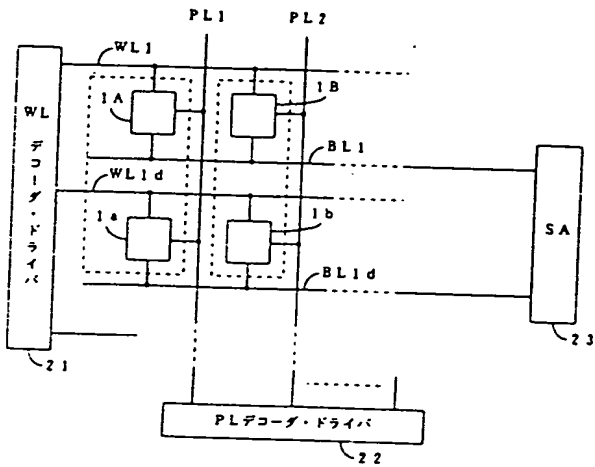


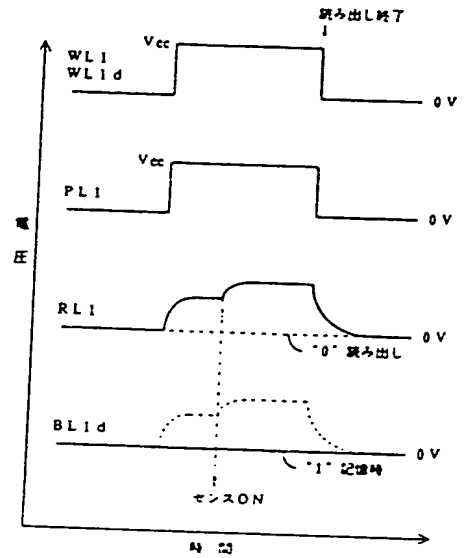
図 3



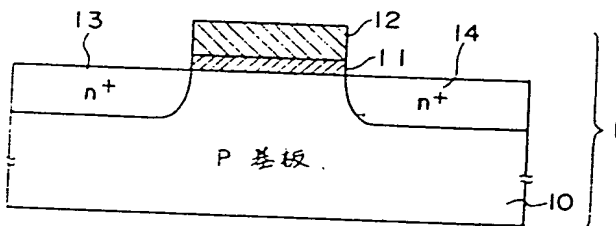
第 5 図



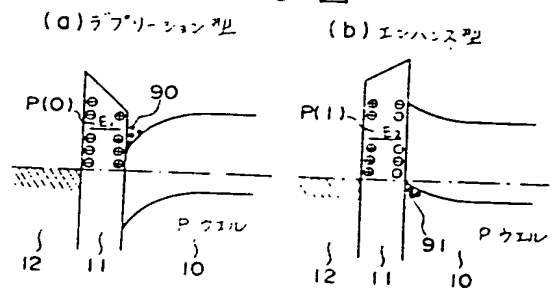
第 6 図



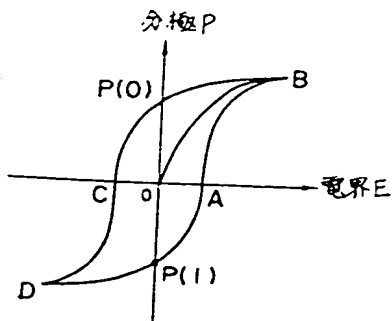
第 7 図



第 9 図



第 8 図



第 10 図

